

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-163681
 (43) Date of publication of application : 10.06.1994

(51) Int. Cl.

H01L 21/76

(21) Application number : 04-306672 (71) Applicant : SUMITOMO METAL IND LTD
 (22) Date of filing : 17.11.1992 (72) Inventor : OKUMURA NOBUO

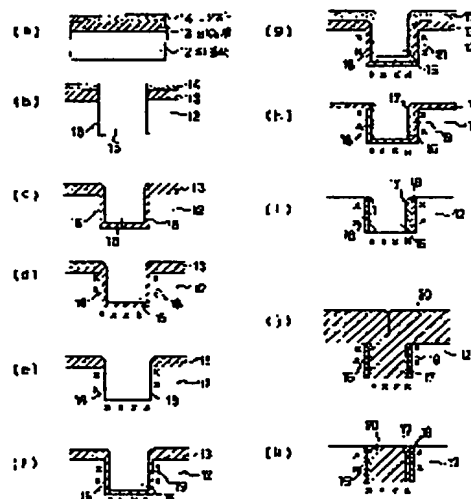
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To increase inversion voltage at a sidewall by forming an SiN_x film on a side wall in an element-to-element isolation area by way of an SiO_2 film and implanting impurities in the element-to-element isolation area.

CONSTITUTION: After formation of a first SiO_2 film on an Si board by thermal oxidation, the board is coated with a resist 14. And then with this as a mask, an SiO_2 film 13 is etched, thereby forming a groove 15. After removal of the resist 14, a second SiO_2 film 18 is formed on the groove 15 by thermal oxidation. After boron ions are implanted, activation annealing is carried out. After the removal of the second SiO_2 film 18, a third SiO_2 film 19 is formed on the groove 15 where an SiN film 17 is further deposited thereon. After the removal of the SiN film 17 from the other space which excludes a sidewall 16, the SiO_2 film 13 in the areas except for the sidewall 16 is removed.

Based on an ECRVD method, which uses $\text{SiN}_4\text{-O}_2$ gas, an SiO_2 20 is filled up in the groove 15 where etching operations are carried for planarization, thereby forming an element-to-element isolation area 11.



LEGAL STATUS

[Date of request for examination] 24.05.1999

[Date of sending the examiner's decision of rejection] 30.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-163681

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁴

H 0 1 L 21/78

識別記号

庁内整理番号

L 9169-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-306672

(22)出願日 平成4年(1992)11月17日

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72)発明者 奥村 信夫

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

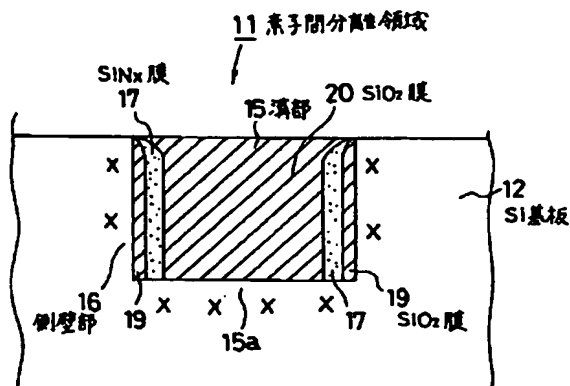
(74)代理人 弁理士 井内 龍二

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【構成】 素子間分離領域11の側壁部16にSiO₂膜19を介してSiN_x膜17が形成され、かつ素子間分離領域11近傍に不純物が注入されている半導体装置。

【効果】 反転電圧が高く、寄生トランジスタが発生しにくい半導体装置を提供することができる。



【特許請求の範囲】

【請求項1】 素子間分離領域の側壁部に SiO_2 膜を介して Si_3N_4 膜が形成され、かつ前記素子間分離領域近傍に不純物が注入されていることを特徴とする半導体装置。

【請求項2】 シリコン基板に第1の SiO_2 膜を形成し、次に所望の位置に溝部を形成し、該溝部に第2の SiO_2 膜を形成した後に不純物を注入し、前記第2の SiO_2 膜を除去した後に前記溝部に第3の SiO_2 膜及び Si_3N_4 膜を積層させて素子間分離領域を形成する工程を含んでいることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法に関し、より詳細には素子間分離領域が形成され、集積回路を構成する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】LSI（大規模集積回路）製造工程においては、個々の能動素子や受動素子を互いに独立の素子として働かせるための素子分離工程が必要とされており、この素子分離工程にはLOCOS（Local Oxidation of Si）法が主に用いられてきた。このLOCOS法は耐酸化マスクとなる Si_3N_4 膜の下地 SiO_2 膜に対する高選択性エッチングを利用したものである。

【0003】ところが、素子の微細化に伴い、LOCOS法によって形成された素子間分離領域に存在するパズピークが問題となってきた。そこで、パズピーク等のマスクに対する変換差が少ない方法の一つとして Si 基板上に溝を設け、絶縁物を選択的に埋め込む方法が考案されている。

【0004】図4（a）～（g）は従来の溝形成による素子間分離領域の形成方法の工程を示した概略断面図である（ヒューレット、パッカード社、Side Wall Masked Isolation法）。まず、 Si 基板21に 950°C 、酸素雰囲気中で熱酸化を施して 400\AA の SiO_2 膜22を形成し、ついで NH_3 及び SiH_4 、 Cl_2 によるLPCVD（Low Pressure Chemical Vapor Deposition）法により Si_3N_4 膜23を形成する（図4（a））。バターニング後、 Si_3N_4 膜23、 SiO_2 膜22及び Si 基板21に CF_4 、 O_2 ガスを用いたRIEによるエッチングを行ない、溝部24を形成する（図4（b））。次に、 950°C 、酸素雰囲気中の熱酸化により溝部24の側壁部25に 300\AA の SiO_2 膜22を形成し（図4（c））、溝部24に、 30KeV 、 $2 \times 10^{12}\text{cm}^{-2}$ でボロンイオンを注入する（図4（d））。ついで、 NH_3 及び SiH_4 、 Cl_2 によるLPCVD法により 1500\AA の Si_3N_4 膜23を堆積し、 CF_4 、 O_2 ガスを用いたRIEにより Si_3N_4 膜23をエッチバックする（図4（e））。さらに、 1000°C で H_2 酸化を施し（ 7000\AA ）、 SiO_2 膜22を溝部24に充てんし（図4（f））、 160°C に熱したリン酸溶液で Si_3N_4 膜23を除去した後、平坦化を行ない（図4（g））、素子分離工程を完了する。

膜23をエッチバックする（図4（e））。さらに、 1000°C で H_2 酸化を施し（ 7000\AA ）、 SiO_2 膜22を溝部24に充てんし（図4（f））、 160°C に熱したリン酸溶液で Si_3N_4 膜23を除去した後、平坦化を行ない（図4（g））、素子分離工程を完了する。

【0005】

【発明が解決しようとする課題】上記した溝形成による素子分離領域の形成方法におけるボロンイオン注入工程はP型 Si 基板がN型に反転することを防止するために行なう工程である。

【0006】反転防止が行なわれているか否かはドレイン電流 I_d とゲート電圧 V_g との関係から判断できる。この関係を示したグラフが図5（a）、（b）であり、図5（a）は正常に反転防止が行なわれている場合を示している。また、図5（b）はサブスレッショルド領域における I_d — V_g 特性に歪みが生じており、これは寄生トランジスタが発生している場合を示している。

【0007】ところで、素子間分離領域の反転防止用不純物としては、例えばNチャネルMOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）ではボロンがあり、PチャネルMOSFETではリンがある。リンは酸化等の熱処理によって Si/SiO_2 界面に偏析しやすく、 SiO_2 膜中に取り込まれにくい、ボロンイオンは SiO_2 膜中に取り込まれやすい。また、前記ボロンイオンは溝部24の底面には十分浸入するが、側壁部25への浸入が不十分であるため、反転電圧が低下して十分な反転防止ができず、寄生トランジスタが発生し、図5（b）に示したように特性曲線に歪みを生じてしまうという課題があった。

【0008】本発明はこのような課題に鑑みなされたものであり、反転電圧が高く、寄生トランジスタが発生しにくい半導体装置及びその製造方法を提供することを目的としている。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明に係る半導体装置は、素子間分離領域の側壁部に SiO_2 膜を介して Si_3N_4 膜が形成され、かつ前記素子間分離領域近傍に不純物が注入されていることを特徴とし、また本発明に係る半導体装置の製造方法は、シリコン基板に第1の SiO_2 膜を形成し、次に所望の位置に溝部を形成し、該溝部に第2の SiO_2 膜を形成した後に不純物を注入し、前記第2の SiO_2 膜を除去した後に前記溝部に第3の SiO_2 膜及び Si_3N_4 膜を積層させて素子間分離領域を形成する工程を含んでいることを特徴としている。

【0010】

【作用】半導体は添加する不純物の種類によってP型半導体とN型半導体とに分かれ、 Si 結晶中にII族のB、Al、Ga、Inを添加した場合はP型となり、V

族のP、As、Sbを添加した場合はN型となる。

【0011】チャンネル(電流通路)を流れるキャリアが電子であるNチャンネルMOSFETにおいてはP型Si基板を用いるが、素子間分離領域近傍にボロンイオンを注入してP型を強めることにより、前記素子間分離領域での反転が防止されることとなる。しかしながら、前記素子間分離領域の側壁部では前記ボロンイオンが十分に注入されないため反転しやすくなる。

【0012】そこで、前記素子間分離領域の側壁部にSiO₂膜を介してSiN_x膜を形成すると、製造条件により該SiN_x膜と前記SiO₂膜との界面に負電荷が生じる。この場合、前記SiO₂膜がコンデンサ的作用をなし、Si基板と前記SiO₂膜との界面に正電荷が誘起されることとなり、該正電荷によって前記Si基板のP型が強められることとなる。したがって、前記側壁部に前記SiO₂膜を介して前記SiN_x膜を形成する際のプロセスを制御し、前記SiO₂膜と前記SiN_x膜との界面に負電荷が生じるようにすることにより、前記側壁部におけるボロンイオンの注入不足による反転電圧の低下が補われることとなり、前記素子間分離領域における反転を確実に防止することが可能となる。

【0013】

【実施例】以下、本発明に係る半導体装置及びその製造方法の実施例を図面に基いて説明する。図1は実施例に係る半導体装置の構造を示す模式的断面図である。図中11は半導体装置の素子間分離領域を示しており、Si基板12内に形成された溝部15の底面部15a及び側壁部16にボロンイオンが注入され、側壁部16の内側面には薄いSiO₂膜19を介してSiN膜17が形成され、さらにSiO₂膜20が充填されて素子間分離領域11が形成され、これら素子間分離領域11及びSi基板12を含んで半導体装置は構成されている。

【0014】図2(a)～(k)は実施例に係る半導体装置の製造方法を説明するための各工程を示した模式的断面図である。まず、Si基板12上に1000℃の温度条件下において酸素雰囲気中の熱酸化により、300Åの第1のSiO₂膜13を形成する。ついで、レジスト14をスピニングコートを用い、1.2μm塗布する(図2(a))。次に、レジスト14のパターニングを行なった後、このレジスト14をマスクとしてSiO₂膜13をCF₄、-O₂系ガスによるRIEにより、またSiをCl₂系ガスによるRIEによりエッチングし、溝部15を形成する(図2(b))。なお、CF₄、-O₂系ガスのRIEでは、反応速度が早く、異方性に優れている。

【0015】次に、レジスト14を除去した後、950℃の温度条件下において酸素雰囲気中の熱酸化により、溝部15に300Åの第2のSiO₂膜18を形成する(図2(c))。次に、40KeV、5×10¹¹cm⁻²の条件下においてボロンイオンを注入した後、900℃

の温度条件下において、N₂雰囲気中で30分の活性化アニールを施す(図2(d))。次に、溝部15の第2のSiO₂膜18をHF/H₂O溶液を用いて除去する(図2(e))。その後、800℃の温度条件下において酸素雰囲気中の熱酸化により、60Åの第3のSiO₂膜19を溝部15に形成する(図2(f))。さらに、NH₃、-SiH₄、Cl₂系ガスによるLPCVD法を行ない、400ÅのSiN膜17を堆積させる(図2(g))。次に、CF₄、-O₂系ガスを用いてRIEによる異方性エッチングを施し、側壁部16以外のSiN膜17を除去する(図2(h))。次に、側壁部16以外のSiO₂膜13をHF/H₂O溶液により除去する(図2(i))。次に、250℃の温度条件下において、SiH₄、-O₂系ガスを用いたECRCVD法により溝部15に、8000ÅのSiO₂膜20を充てんする(図2(j))。最後に、HF/H₂O溶液によるエッチングを施して平坦化を行ない、素子間分離領域11の形成を完了する(図2(k))。

【0016】図3は本実施例におけるV_{th}(フラットバンド電圧)のSiO₂膜厚依存性を示している。このときのSiN膜17の膜厚は400Åである。

【0017】図3から明らかなように、負電荷を高めるにはSiO₂膜19の膜厚を薄くするほど良い。しかし、製造工程でSiO₂膜19中に取り込まれるボロンイオンの影響を受けない程度にする必要がある。また、SiO₂膜19が35Å程度以下になると、SiN膜17/SiO₂膜19界面の負電荷はSi基板12からの正孔のトンネリングにより減少するので、SiO₂膜19を薄くしすぎないようにする必要もある。したがってSiO₂膜19の膜厚は60Å程度は確保することが望ましい。

【0018】

【発明の効果】以上詳述したように、本発明に係る半導体装置にあっては、素子間分離領域の側壁部にSiO₂膜を介してSiN_x膜が形成され、かつ素子間分離領域近傍に不純物が注入されているので、側壁部における反転電圧を高めることができる。したがって、トランジスタ間の素子分離を十分に行うことができ、また寄生トランジスタの発生も確実に防ぐことができる。

【0019】また、本発明に係る半導体装置の製造方法においては、シリコン基板に第1のSiO₂膜を形成し、次に所望の位置に溝部を形成し、該溝部に第2のSiO₂膜を形成した後不純物を注入し、前記第2のSiO₂膜を除去した後前記溝部に第3のSiO₂膜及びSiN_x膜を堆積させて素子間分離領域を形成する工程を含んでいるので、前記素子間分離領域における反転電圧が高く、寄生トランジスタが発生しにくい半導体装置を確実に製造することができる。また、溝形成方法による素子分離のため高集積化を図ることもできる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の実施例を示した模式的断面図である。

【図2】(a)～(k)は本発明に係る半導体装置の製造方法の工程の実施例を順に示した模式的断面図である。

【図3】実施例における半導体装置の V_{th} の SiO_2 膜厚依存性を示したグラフである。

【図4】(a)～(g)は従来の半導体装置の製造方法の工程を順に示した模式的断面図である。

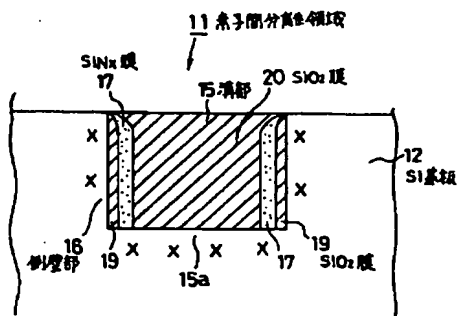
【図5】(a) (b)は素子間分離領域における反転防*

* 止効果が十分な場合及び不十分な場合のドレイン電流 I_D とゲート電圧 V_g との関係を示したグラフである。

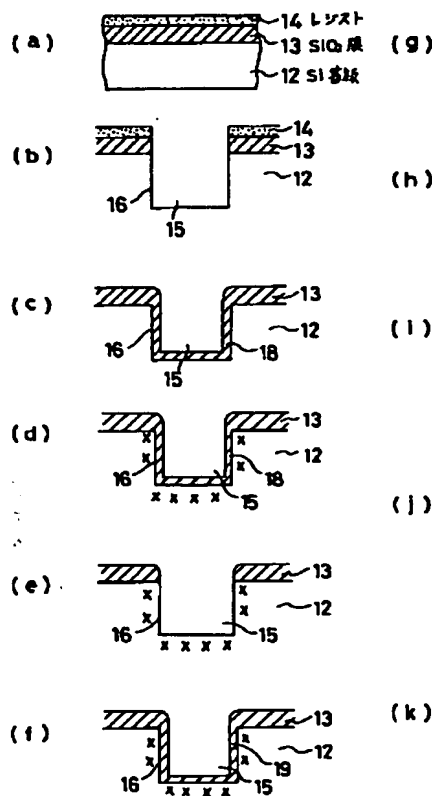
【符号の説明】

- 11 素子間分離領域
- 12 Si基板(シリコン基板)
- 15 溝部
- 16 側壁部
- 17 SiN_x 膜
- 19 SiO_2 膜

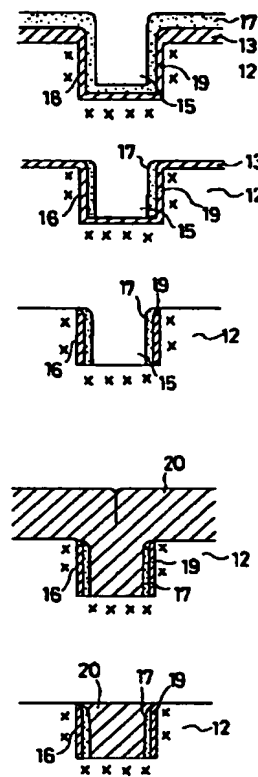
【図1】



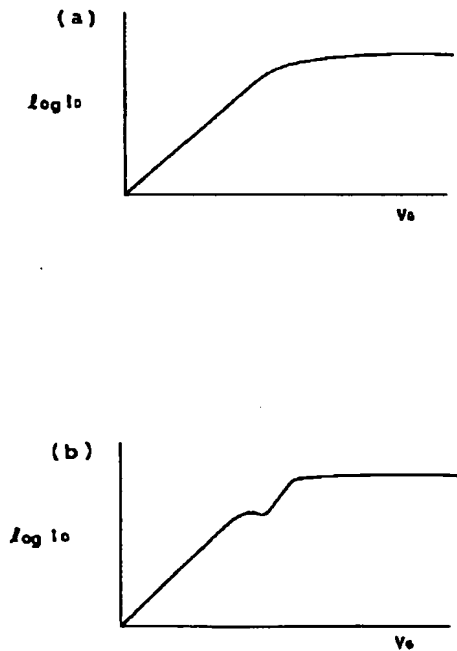
【図2】



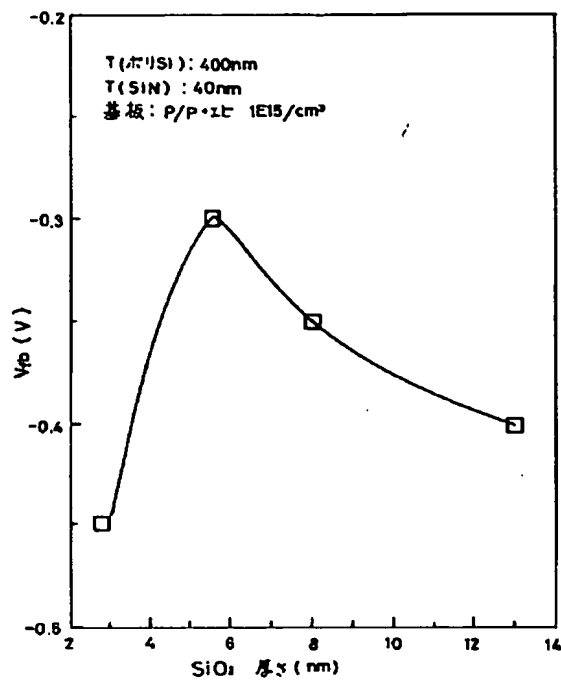
【図2の2】



【図5】



【図3】



【図4】

